

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 7 日
Date of Application:

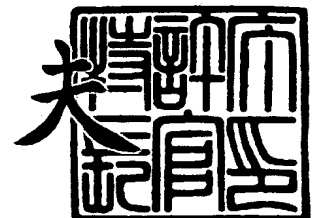
出 願 番 号 特 願 2 0 0 3 - 0 8 8 9 0 7
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 8 8 9 0 7]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 8 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 4 7 1 8

【書類名】 特許願

【整理番号】 DTK03-001

【提出日】 平成15年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/301

【発明の名称】 半導体装置、半導体装置の製造方法

【請求項の数】 15

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
 横浜事業所内

 【氏名】 秋山 和隆

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社東芝

【代理人】

 【識別番号】 100077849

 【弁理士】

 【氏名又は名称】 須山 佐一

【手数料の表示】

 【予納台帳番号】 014395

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に形成され、比誘電率が 3.8 以下である第 1 の絶縁膜と、
前記半導体基板の少なくとも四隅付近で前記第 1 の絶縁膜の側面を覆い、その
少なくとも外側の側面に導電バリア層を有して形成された導電体と、
前記導電体の外側の側面を覆い、比誘電率が 3.8 超である第 2 の絶縁膜と
を具備することを特徴とする半導体装置。

【請求項 2】 前記導電体は、チタン (Ti)、タンタル (Ta)、ジルコ
ニウム (Zr)、およびタングステン (W) からなる群より選択された一種を含
有する前記導電バリア層を有し、かつ、銅 (Cu)、アルミニウム (Al)、お
よびスズ (Sn) からなる群より選択された一種を主成分とすることを特徴とす
る請求項 1 記載の半導体装置。

【請求項 3】 半導体基板と、

前記半導体基板上に形成され、比誘電率が 3.8 以下である第 1 の絶縁膜と、
前記半導体基板の少なくとも四隅付近で前記第 1 の絶縁膜の側面を覆う導電体
と、
前記導電体の外側の側面を覆い、比誘電率が 3.8 超である第 2 の絶縁膜と、
前記半導体基板の少なくとも四隅付近で前記第 2 の絶縁膜の直下から前記導電
体の直下にわたって延在するように形成された耐腐蝕性導電体と
を具備することを特徴とする半導体装置。

【請求項 4】 前記導電体は、銅 (Cu)、アルミニウム (Al)、および
スズ (Sn) からなる群より選択された一種を有することを特徴とする請求項 3
記載の半導体装置。

【請求項 5】 前記耐腐蝕性導電体は、前記半導体基板の全周縁に形成され
たことを特徴とする請求項 3 記載の半導体装置。

【請求項 6】 前記耐腐蝕性導電体は、タンゲステン (W) であることを特
徴とする請求項 3 記載の半導体装置。

【請求項 7】 前記第 2 の絶縁膜は、前記第 1 の絶縁膜の上側をも覆い、
前記第 1 の絶縁膜の上側に位置する前記第 2 の絶縁膜を貫通して設けられた導
電体パターンをさらに具備することを特徴とする請求項 1 または 3 記載の半導体
装置。

【請求項 8】 前記第 1 の絶縁膜に埋め込み形成された導電体パターンをさ
らに具備することを特徴とする請求項 1 または 3 記載の半導体装置。

【請求項 9】 前記第 1 の絶縁膜が、複数の層からなることを特徴とする請
求項 1 または 3 記載の半導体装置。

【請求項 10】 前記導電体が、前記第 1 の絶縁膜の全側面を覆うリング状
に形成されていることを特徴とする請求項 1 または 3 記載の半導体装置。

【請求項 11】 前記第 2 の絶縁膜は、SiO、SiN、SiC、およびS
iCNからなる群より選択された一種であることを特徴とする請求項 1 または 3
記載の半導体装置。

【請求項 12】 半導体ウエハ上に比誘電率が 3.8 以下の第 1 の絶縁膜を
形成する第 1 の工程と、

前記ウエハにおけるダイシングラインの少なくとも交差点付近で、前記ダイシ
ングラインを挟んで対向しかつ前記第 1 の絶縁膜を貫通する溝を形成する第 2 の
工程と、

前記溝内に導電バリア層を介して導電体層を形成して前記溝を埋め込む第 3 の
工程と、

前記導電体層が埋め込まれた溝に挟まれる前記ダイシングラインの少なくとも
交差点付近の前記第 1 の絶縁膜を除去する第 4 の工程と、

前記第 1 の絶縁膜の除去により露出した前記導電バリア層を覆うように比誘電
率 3.8 超の第 2 の絶縁膜を形成する第 5 の工程と、

前記第 5 の工程の後に前記ウエハをダイシングする第 6 の工程と
を具備することを特徴とする半導体装置の製造方法。

【請求項 13】 前記第 1、第 2、および第 3 の工程は、複数回繰り返され
ることを特徴とする請求項 12 記載の半導体装置の製造方法。

【請求項 14】 半導体ウエハにおけるダイシングラインの少なくとも交差

点付近で、該ダイシングラインを内包するように耐腐蝕性導電体層を形成する第 1 の工程と、

前記耐腐蝕性導電体層が形成されたウエハ全面に比誘電率が 3.8 以下の第 1 の絶縁膜を形成する第 2 の工程と、

前記ウエハにおける前記ダイシングラインの少なくとも交差点付近で、該ダイシングラインを内包するように前記第 1 の絶縁膜を貫通する溝を形成する第 3 の工程と、

前記溝内に導電体層を形成して前記溝を埋め込む第 4 の工程と、

前記導電体層を貫通して前記耐腐蝕性導電体層に達するように、前記半導体ウエハにおける前記ダイシングラインの少なくとも交差点付近で前記ダイシングラインを内包する溝を形成する第 5 の工程と、

前記溝内に露出した前記導電体層および前記耐腐蝕性導電体層を覆うように比誘電率 3.8 超の第 2 の絶縁膜を形成する第 6 の工程と、

前記第 6 の工程の後に前記ウエハをダイシングする第 7 の工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 15】 前記第 2、第 3、および第 4 の工程は、複数回繰り返されることを特徴とする請求項 14 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に係り、特に、比誘電率が 3.8 以下の絶縁膜を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

多層化された層間絶縁膜を有する半導体装置（半導体チップ）において、半導体チップ周縁における層間絶縁膜側面をシールしてその信頼性を向上する構造の例として、下記特許文献 1 に開示されたものがある。これによるとシールする部材には配線などと同材質の導電体が用いられている。

【0003】

【特許文献 1】

特開 2000-277465 号公報

【0004】

【発明が解決しようとする課題】

近年、半導体装置のさらなる動作速度向上のため、配線抵抗の低抵抗化や、配線の静電容量を低減するように層間絶縁膜の低誘電率化などが進められている。具体的には、配線の材料がアルミニウム (Al) から銅 (Cu) へ移行されている。また、層間絶縁膜は単純な SiO_2 膜からフッ素をドーピングした SiO_2 膜や、あるいは有機成分を含む SiO_2 膜をはじめとする低比誘電率膜 (low-k 膜) の採用が図られている。ちなみに、層間絶縁膜の比誘電率 (容量係数) κ としては、従来の 4.2 から最近では 3 以下のものも用いられようとしている。

【0005】

半導体チップに切り出すためのダイシング工程では、その機械的ストレスにより半導体チップとしての信頼性を劣化させることのないように考慮が必要である。この点は、特に層間絶縁膜として上記のような低比誘電率膜が採用されつつある現状において重要である。低比誘電率膜は、例えば、その材料の密度を小さくしたり、あるいは材料中の誘電分極性を排除するなどして得られる。材料密度の低減は、例えば材料を多孔質化 (ポーラス化) することにより達成され、このような低比誘電率膜はヤング率などの機械的物性値が低い。

【0006】

また、低比誘電率膜には、膜中の誘電率を下げるため極性の低い膜構造を採用したものがある。これによると、低比誘電率膜同士、あるいは低比誘電率膜と他の膜とを積層した積層膜の積層界面における密着強度が小さくなる。

【0007】

低比誘電率膜自体の機械的強度の低さや、低比誘電率膜を含む積層膜の界面における密着強度の低さは、ダイシング工程での不都合を生じる原因となり、その結果半導体装置としての信頼性を劣化させることが考えられる。すなわち、ダイシング工程の機械的ストレスが、容易に層間絶縁膜に微小な剥がれや破壊 (クラック、バリなど) を生じさせる。層間絶縁膜の破砕面に微小な膜剥がれなどが発

生すると、その後の組立工程で膜剥がれが広がり問題が顕在化する。

【0008】

そこで、ダイシング時の不都合を解消するためには、例えば上記特許文献 1 に示されるようなダイシング部に溝構造を有する半導体ウエハを採用することができ。この構造では、さらに、層間絶縁膜の側面を導電体でシールすることにより層間絶縁膜への水などの浸入をくい止めることによる信頼性向上の効果もあると考えられる。しかしながら、シールする導電体自体の腐蝕などによる劣化も信頼性にかかわることに注意する必要がある。すなわち、劣化するとシール部材としての有効性が損なわれてしまうおそれがあるからである。

【0009】

本発明は、上記した事情を考慮してなされたもので、絶縁膜として低比誘電率膜を有する半導体装置において、絶縁膜への水の浸入を有効に防止し信頼性向上に好適な半導体装置およびその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明の一態様に係る半導体装置は、半導体基板と、前記半導体基板上に形成され、比誘電率が 3.8 以下である第 1 の絶縁膜と、前記半導体基板の少なくとも四隅付近で前記第 1 の絶縁膜の側面を覆い、その少なくとも外側の側面に導電バリア層を有して形成された導電体と、前記導電体の外側の側面を覆い、比誘電率が 3.8 超である第 2 の絶縁膜とを具備することを特徴とする。

【0011】

また、本発明の別の態様に係る半導体装置は、半導体基板と、前記半導体基板上に形成され、比誘電率が 3.8 以下である第 1 の絶縁膜と、前記半導体基板の少なくとも四隅付近で前記第 1 の絶縁膜の側面を覆う導電体と、前記導電体の外側の側面を覆い、比誘電率が 3.8 超である第 2 の絶縁膜と、前記半導体基板の少なくとも四隅付近で前記第 2 の絶縁膜の直下から前記導電体の直下にわたって延在するように形成された耐腐蝕性導電体とを具備することを特徴とする。

【0012】

また、本発明の一態様に係る半導体装置の製造方法は、半導体ウエハ上に比誘

電率が3.8以下の第1の絶縁膜を形成する第1の工程と、前記ウエハにおけるダイシングラインの少なくとも交差点付近で、前記ダイシングラインを挟んで対向しかつ前記第1の絶縁膜を貫通する溝を形成する第2の工程と、前記溝内に導電バリア層を介して導電体層を形成して前記溝を埋め込む第3の工程と、前記導電体層が埋め込まれた溝に挟まれる前記ダイシングラインの少なくとも交差点付近の前記第1の絶縁膜を除去する第4の工程と、前記第1の絶縁膜の除去により露出した前記導電バリア層を覆うように比誘電率3.8超の第2の絶縁膜を形成する第5の工程と、前記第5の工程の後に前記ウエハをダイシングする第6の工程とを具備することを特徴とする。

【0013】

また、本発明の別の態様に係る半導体装置の製造方法は、半導体ウエハにおけるダイシングラインの少なくとも交差点付近で、該ダイシングラインを内包するように耐腐蝕性導電体層を形成する第1の工程と、前記耐腐蝕性導電体層が形成されたウエハ全面に比誘電率が3.8以下の第1の絶縁膜を形成する第2の工程と、前記ウエハにおける前記ダイシングラインの少なくとも交差点付近で、該ダイシングラインを内包するように前記第1の絶縁膜を貫通する溝を形成する第3の工程と、前記溝内に導電体層を形成して前記溝を埋め込む第4の工程と、前記導電体層を貫通して前記耐腐蝕性導電体層に達するように、前記半導体ウエハにおける前記ダイシングラインの少なくとも交差点付近で前記ダイシングラインを内包する溝を形成する第5の工程と、前記溝内に露出した前記導電体層および前記耐腐蝕性導電体層を覆うように比誘電率3.8超の第2の絶縁膜を形成する第6の工程と、前記第6の工程の後に前記ウエハをダイシングする第7の工程とを具備することを特徴とする。

【0014】

【発明の実施の形態】

本発明の一態様に係る半導体装置によれば、半導体基板上には比誘電率が3.8以下という比較的low比誘電率の絶縁膜が形成される。また半導体基板の少なくとも四隅付近において、絶縁膜の側面には、このlow比誘電率の絶縁膜を覆う導電体が存在し、さらにこの導電体の外側の側面を覆って比誘電率が3.8超である

第2の絶縁膜が存在する。導電体は、少なくとも第2の絶縁膜側に導電バリア層を有する。

【0015】

すなわち、半導体基板の少なくとも四隅付近で第1の絶縁膜の側面が導電体によりシールされ、第1の絶縁膜への水の浸入の防止効果が発揮される。また、導電体が第2の絶縁膜によって覆われていることによってもこの効果が向上する。さらに、この導電体の少なくとも外側の側面が導電バリア層のため耐腐蝕性があり、これ自体の劣化が大きく抑制される。

【0016】

なお、比誘電率が3.8以下の低比誘電率膜には、フッ素がドーピングされたSiO₂膜(SiOF膜: $\kappa = 3.4 \sim 3.7$)、有機シリカ膜($\kappa = 2.5 \sim 3.0$)、MSQ膜(methyl silsesquioxane膜: $\kappa = 2.7 \sim 3.0$ 、多孔質化することにより $\kappa = 2.0 \sim 2.5$)、HSQ膜(hydrogen silsesquioxane膜: $\kappa = 3.5 \sim 3.8$ 、多孔質化することにより $\kappa \div 2.2$)、PAE膜(polyarylether膜: $\kappa = 2.7 \sim 2.9$ 、多孔質化することにより $\kappa = 2.0 \sim 2.2$)、PTFE膜(polytetrafluoroethylene膜: $\kappa = 2.1$)などがある。ちなみに、例えばフッ素がドーピングされたSiO₂膜のヤング率は約40GPaと比較的小さな値である。

【0017】

ここで、実施態様としての半導体装置においては、前記導電体は、チタン(Ti)、タンタル-Ta)、ジルコニウム(Zr)、およびタングステン(W)からなる群より選択された一種を含有する前記導電バリア層を有し、かつ、銅(Cu)、アルミニウム(Al)、およびスズ(Sn)からなる群より選択された一種を主成分とする。

【0018】

また、本発明の別の態様に係る半導体装置によれば、半導体基板上には比誘電率が3.8以下という比較的低比誘電率の絶縁膜が形成される。また半導体基板の少なくとも四隅付近において、絶縁膜の側面には、この低比誘電率の絶縁膜を覆う導電体が存在し、さらにこの導電体の外側の側面を覆って比誘電率が3.8

超である第2の絶縁膜が存在する。また、半導体基板の少なくとも四隅付近で第2の絶縁膜直下から導電体直下にわたって耐腐蝕性導電体が形成されている。

【0019】

すなわち、半導体基板の少なくとも四隅付近で第1の絶縁膜の側面が導電体によりシールされ、第1の絶縁膜への水の浸入の防止効果が発揮される。また、導電体が第2の絶縁膜によって覆われていることによってもこの効果が向上する。さらに、半導体基板の少なくとも四隅付近で第2の絶縁膜直下から導電体直下にわたって耐腐蝕性導電体が形成されているので、その耐腐蝕性の分、シール性の維持効果が高い。したがって、絶縁膜への水の浸入を有効に防止し信頼性向上に好適な半導体装置が提供される。

【0020】

ここで、実施態様としては、前記導電体は、銅（Cu）、アルミニウム（Al）、およびスズ（Sn）からなる群より選択された一種を有する。

【0021】

また、実施態様として、前記耐腐蝕性導電体は、前記半導体基板の全周縁に形成されてもよい。

【0022】

また、実施態様として、前記耐腐蝕性導電体はタングステン（W）である。耐腐蝕性導電体として代表的なものである。

【0023】

さらに、上記の一態様に係る半導体装置および別の態様に係る半導体装置では、共通して以下の実施態様とすることができる。

【0024】

すなわち、実施態様としての半導体装置において、前記第2の絶縁膜は、前記第1の絶縁膜の上側をも覆い、前記第1の絶縁膜の上側に位置する前記第2の絶縁膜を貫通して設けられた導電体パターンをさらに具備してもよい。第1の絶縁膜の上側に位置する第2の絶縁膜を貫通して例えばパッド配線を形成するものである。

【0025】

また、実施態様として、前記第1の絶縁膜に埋め込み形成された導電体パターンをさらに具備してもよい。導電体パターンを例えば配線とすることができる。さらには、この導電体パターンを上記導電体の内側の半導体基板上でリング状に形成することでいわゆるガードリング (guard ring) とすることもできる。これによれば、さらに第1の絶縁膜への水の浸入を防止し信頼性が向上する。

【0026】

また、実施態様として、前記第1の絶縁膜が、複数の層からなるようにしてもよい。例えば配線の多層化を図るものである。

【0027】

また、実施態様として、前記導電体が、前記第1の絶縁膜の全側面を覆うリング状に形成されてもよい。リング状に形成されることでさらに信頼性を向上することができる。

【0028】

また、実施態様として、前記第2の絶縁膜は、SiO、SiN、SiC、およびSiCNからなる群より選択された一種とすることができる。比誘電率が3.8超のものとして代表的なものである。

【0029】

また、本発明の一態様に係る半導体装置の製造方法によれば、上記一態様に係る半導体装置を製造できる。よって、絶縁膜への水の浸入を有効に防止し信頼性向上に好適な半導体装置の製造方法を提供できる。

【0030】

また、本発明の別の態様に係る半導体装置の製造方法によれば、上記別の態様に係る半導体装置を製造できる。よって、同様に絶縁膜への水の浸入を有効に防止し信頼性向上に好適な半導体装置の製造方法を提供できる。

【0031】

これらの製造方法の実施態様としては、前記第1、第2、および第3の工程（上記一態様の場合）、または、前記第2、第3、および第4の工程（上記別の態様の場合）が、複数回繰り返されるようにしてもよい。この繰り返しにより多層の配線を形成することができる。

【0032】

以上を踏まえ、以下では本発明の実施形態を図面を参照しながら説明する。図1ないし図3は、本発明の一実施形態に係る半導体装置の製造方法を模式的な断面で示すプロセス図である。これらの図は図番の順に続図になっており、さらに図1ないし図3の各図では（a）、（b）の順に工程が進行する。

【0033】

まず、図1（a）に示す構造を形成する。ウエハ状態の半導体基板10上に比誘電率が3.8超の絶縁膜11を成膜し、さらにその上に膜厚0.5 μ mの比誘電率が例えば2.5の絶縁膜（low-k膜）12を全面成膜する。なお、半導体基板10上の所定の領域には図示していないがトランジスタなどの素子が形成されている。また、比誘電率が3.8超の絶縁膜11には、周知の方法により必要な位置に素子とのコンタクトのための縦方向の導電体が形成される。

【0034】

次に、配線（導電体パターン）14を形成するための溝、およびダイシング部17付近の図示するような導電体15、16を形成するための溝を、レジスト（図示せず）に対するリソグラフィー法によるパターンニングと絶縁膜12に対するRIE（reactive ion etching）法を適用して形成する。そして形成された溝の側壁および底面を含めて全面に導電バリア層（例えばTa₂N₃やTa）14a、15a、16aを、さらにその上にCu層をそれぞれ例えばPVD（physical vapor deposition）法で成膜する。

【0035】

なお、導電体15、16を形成するための溝は、ダイシングラインを内包するように設定された線状のダイシング部17を挟んで向い合う溝である。この溝は絶縁膜12を貫通し、少なくとも完成されるべき半導体チップとしての四隅付近に設けられる。図でダイシング部17は紙面に垂直な方向に延びている。

【0036】

次に、上記PVDで形成された膜をシードとして電解めっきにより銅膜を成長させ上記形成された溝を銅で埋める。さらに絶縁膜12上に成長した銅膜および導電バリア層14a、15a、16aをCMP（chemical mechanical polishin

g) 法で除去し、導電バリア層 14 a と内部導電体 (銅) 14 b からなる配線 14、および導電バリア層 15 a、16 a と内部導電体 (銅) 15 b、16 b からなる導電体 15、16 を図示するように形成する。導電体 15、16 は図示するように基板面方向に沿って、銅がバリア材で挟まれた 3 層構造になる。

【0037】

続いて、例えば SiCN からなるトップバリア膜 13 を全面的に例えば 50 nm 成膜する。トップバリア膜 13 は絶縁膜であり、上側に位置する配線などとの接続を要する位置では、上層の絶縁膜についてのビアホールの開孔時に除去される。

【0038】

次に、図 1 (b) に示す構造を形成する。まず、図 1 (a) に示す状態に続いて、膜厚 $1\ \mu\text{m}$ の比誘電率が例えば 2.5 の絶縁膜 (low-k 膜) 18 を全面成膜する。絶縁膜 18 は絶縁膜 12 と同様のものを用いることができる。そして、配線 20 の一部としてのビアを形成するためのビアホール (例えば直径 $0.3\ \mu\text{m}$) およびダイシング部 17 付近の図示するような導電体 21、22 を形成するための溝を、レジスト (図示せず) に対するリソグラフィー法によるパターンニングと絶縁膜 18 およびトップバリア膜 13 に対する RIE 法とを適用して形成する。

【0039】

さらに、配線 (導電体パターン) 20 を形成するための溝を、絶縁膜 18 の厚さの約半分の $0.5\ \mu\text{m}$ の深さで同様なリソグラフィー法によるパターンニングと RIE 法とを適用して形成する。配線 20 には、必要な位置に図示するように下層との接続のためのビア (導電性接続体) が含まれる。

【0040】

そして形成された溝およびビアホールの側壁および底面を含めて全面に導電バリア層 (材質は例えば TaN や Ta) 20 a、21 a、22 a を、さらにその上に Cu 層をそれぞれ例えば PVD 法で成膜する。なお、導電体 21、22 を形成するための溝は、下に位置する導電体 15、16 に重なるように位置設定しておく。この溝は絶縁膜 18 およびトップバリア膜 13 を貫通する。

【0041】

次に、上記PVDで形成された膜をシードとして電解めっきにより銅膜を成長させ上記溝を銅で埋める。さらに絶縁膜18上に成長した銅膜および導電バリア層20a、21a、22aをCMP法で除去し、導電バリア層20aと内部導電体(銅)20bからなる配線20、および導電バリア層21a、22aと内部導電体(銅)21b、22bからなる導電体21、22を図示するように形成する。続いて、例えばSiCNからなるトップバリア膜19を全面的に例えば50nm成膜する。トップバリア膜19は絶縁膜であり、上側に位置する配線などとの接続を要する位置では、上層の絶縁膜についてのビアホールの開孔時に除去される。

【0042】

図1(b)についての以上の説明は、導電バリア層24aと内部導電体(銅)24bからなる配線(導電体パターン)24、および導電バリア層25a、26aと内部導電体(銅)25b、26bからなる導電体25、26、並びに絶縁膜23およびトップバリア膜19について、それぞれ、導電バリア層20aと内部導電体(銅)20bからなる配線20、および導電バリア層21a、22aと内部導電体(銅)21b、22bからなる導電体21、22、並びに絶縁膜18およびトップバリア膜13と同様である。なお、この例では、以上のように配線を有するlow-kの絶縁膜を3層(絶縁膜12、18、23)形成したが、同様にしてさらに多層化することもできる(例えば計6層ないし11層)。

【0043】

次に、図2(a)に示すようにダイシング部17に溝を加工・形成する。具体的には、まず、フォトリソグラフィー法によりダイシング部17上のみを開口するように、絶縁膜23上に形成されたフォトレジスト27をパターンニングする。そして、バリア材や銅を除去せずに絶縁膜23、18、12を除去できる例えばウェット液で絶縁膜23、18、12などをエッチング除去する。ウェット液には例えばフッ酸(HF)を用いることができる。このエッチングにおいてlow-kの絶縁膜12の下に位置する絶縁膜11もわずかに除去されることがあるが特に問題はない。

【0044】

なお、このエッチングは、絶縁膜 23、18、12 などの合計の厚さにより、RIE 法のようなドライエッチングと上記ウエットエッチングとを使い分けるようにしてもよい。すなわち、厚みが比較的薄い場合にはドライエッチングを用いても生産性にはあまり影響がない。ドライエッチングでは導電体 25、26 などとの選択比の高い条件を用いる。

【0045】

エッチングが終了したら、次に、図 2 (b) に示すように、例えば TEOS (テトラエチルオルソシリケートガラス) による比誘電率 4.2 の絶縁膜 28 を全面に成膜しダイシング部 17 の溝の側壁および底面にもこれを堆積させる。さらに、図 3 (a) に示すように、絶縁膜 28 の一部を開孔し例えばアルミニウムのパッド 29 (導電体パターン) を配線 24 と接続するように形成する。最後に、パッド 29 のうちの外部との接続部位を除いた全面に例えば比誘電率 4.7 の SiN からなるパッシベーション膜 30 を形成する。パッシベーション膜 30 は、ダイシング部 17 の溝の側壁および底面にも堆積させる。

【0046】

以上のようにして製造された半導体ウエハには、図 3 (b) に示すように、ダイシング部 17 に溝 31 が形成され、溝 31 の内部にダイシングライン DL が存在することになる。半導体装置として組み立てるには、この半導体ウエハをダイシングライン DL で切断して半導体チップとして切り離し、切り離された半導体チップを例えばボンディングワイヤで外部と電気接続したうえでパッケージングする。

【0047】

この実施形態では、あらかじめダイシング部 17 に溝 31 を形成すること、およびチップとしての少なくとも四隅においてダイシング部 17 の両側に導電体 25、26 などの壁を形成しておくことで、 $\kappa = 3.8$ 以下の絶縁膜 12、18、23 において生じやすいダイシング時のクラックを防ぐことができる。特に、導電体 25、26 などの壁により、パッシベーション膜 30 にクラックが入った場合でも、絶縁膜 12、18、23 より硬い導電体 25、26 などの壁により多層

の配線 24、20、14 に達するようなクラックの進行を防ぐことが可能となる。

【0048】

さらに、パッシベーション膜 30 にクラック等が入った場合にクラックを介して半導体チップの内部に水が浸入することも、導電体 25、26 などの壁が防止し得る。しかも、この導電体 25、26 などの外側の側面が導電バリア層 25a、26a などからなり耐腐蝕性を有する。導電バリア層 25a、26a は、前述のように、例えば Ta などの高融点のメタルやこれを含む TaN からなる。これらの導電物質は、Cu や Al のような配線の主成分として多用される低融点メタルに比べて腐食しにくい。

【0049】

したがって、腐蝕（コロージョン）により導電体 25、26 などがシール機能を喪失するまでの時間は大幅に延長される。よって、絶縁膜 12、18、23 への水の浸入を有効に防止し信頼性向上に好適な半導体装置が提供される。この点は、後述するように、導電体 25、26 などによる壁を半導体基板 10 上でリング状に形成した場合にさらに顕著である。なお、半導体チップ内に水が浸入すると、配線 14、20、24 などの腐蝕が発生しその結果オープン不良やショート不良に至りやすくなる。また半導体チップとしての外観にも影響がある。

【0050】

この実施形態における耐腐蝕性の向上は、ダイシングのための溝 31 を形成するのに、導電体 25、26 などをエッチング除去するに及ばないことに起因している。すなわち、溝 31 を形成するため導電体 25、26 などをエッチング除去する場合には、エッチングで形成される溝の側壁には導電バリア層が存在し得ず、腐蝕しやすい表面となってしまう。しかも、エッチングの後処理が不十分な場合には溝にエッチング時の副生成物質として例えば RIE 時のガスが付着残留する。例えば導電体 25、26 などの露出面が銅である場合には、パッシベーション膜 30 のクラックなどによって微量の水が浸入しても残留物と反応し腐蝕が発生する可能性がある。

【0051】

また、この実施形態では、半導体チップを切り出す前のウエハの状態、ダイシングラインDLを内包するようにあらかじめ溝31が形成された状態となる。よってダイシング工程が容易化される。また、チップとして切り離された状態において、第1の絶縁膜である絶縁膜（low-k膜）12、18、23が少なくとも半導体チップの四隅付近で導電体15、21、25（16、22、26）、さらに第2の絶縁膜である絶縁膜28やパッシベーション膜30によって覆われるので、低比誘電率である絶縁膜12、18、23が保護される。

【0052】

また、ダイシングのための溝31を形成するためのエッチング対象が絶縁膜12、18、23となるので、金属をエッチングするより生産性が高く、この点は配線を有する絶縁膜がさらに積層され、例えば厚さで10 μ m程度の6層ないし10層まで多層化された場合一段と有利になる。加えて、導電体25、26などに挟まれた絶縁膜23、18、12などのエッチングは、導電体25、26などとの材質の相違に起因してこれをドライではなくウエットで容易に行なうことが可能であり、この点でもより生産性が向上する。これはエッチングの際、選択比を利用して基板面方向へのサイドエッチングを制御し得る構造にしたことによる利点である。

【0053】

図4は、上記のようにして形成された半導体ウエハの模式的な上面図（一例）である。図4においてすでに説明した部位と同一相当の部位には同一符号を付してある。

【0054】

図4に再度示すように、溝31内部にダイシングラインDLが存在し、ダイシングラインDLの交差点付近では、半導体チップとしての四隅に沿って基板面横方向に3層構造の導電体25、26などが存在する。なお、半導体チップとしての四隅近くに沿ってのみ導電体25、26などを設けたのは、形状的特性から特にこの部位がパッケージング工程時や製品としての使用時の応力発生の大い部位だからである。すなわち、応力発生による信頼性の低下に備えるうえで、特に重要な部位であることによる。また、例えば絶縁層数がさほど多くなくダイシン

グの困難性がそれほど顕著にならない場合などは、溝 31 も適宜ダイシングライン DL の交差点付近のみに設けるようにしてもよい。

【0055】

図 5 は、上記のようにして形成された半導体ウエハの模式的な上面図（別の例）である。図 5 においてすでに説明した部位と同一相当の部位には同一符号を付してある。この例では、基板面横方向に 3 層構造の導電体 25、26 などとは個々の半導体チップに対しリング状に形成されている。このようにすることでさらにクラックの進入や水の浸入が防止され得るため信頼性向上が期待できる。

【0056】

実際に low-k の絶縁膜を 11 層としたものを半導体ウエハとして製造してこれをダイシングし、切り出された半導体チップにワイヤーボンディングを行ないパッケージングした。これを分解して調べたところ、図 4 に示すような四隅のみに導電体などが存在する場合でも、low-k の絶縁膜に膜剥がれやクラックなどのダメージは見られなかった。また、low-k の絶縁膜の下に位置する比誘電率 3.8 超の絶縁膜のうち、ダイシングにより半導体チップの側面に露出する部位にも膜剥がれやクラックなどのダメージは特に見られなかった。

【0057】

さらに、パッケージングの後 150℃ の耐久試験（TCT: temperature cycle test）を 500 時間行ない、その後に 100℃、100%RH の高湿試験を 100 時間行なった。この試験後のパッケージを分解したが、low-k の絶縁膜にクラックや剥がれのダメージは発生せず、かつダイシング部分に隣接する導電体や配線に腐蝕は発生しなかった。

【0058】

なお、以上の説明では、導電体 15、21、25（16、22、26）の構造として、内部導電体が Cu、外側（導電バリア層）が Ta または TaN となる例を挙げているが、内部導電体を Al や Sn、外側を Ti、Zr、W またはこれらを含む合金もしくは化合物とするようにしてもよい。また、絶縁膜 28 およびパッシベーション膜 30 は、それぞれ、TEOS による膜（SiO 膜）と SiN 膜としたが、これ以外にも SiO、SiN、SiC、SiCN などから適宜選択し

て用いてもよい。

【0059】

次に、比較例について述べる。まず、図6に断面構成を示すように、図3（b）に示す構成から溝31および導電体15、16、21、22、25、26を取り除いた構造のウエハ状態の試料を用意した。ただし、low-kの絶縁膜12、18、23はさらに多層化して計11層のものとした。

【0060】

このようにして形成されたウエハをダイシング部でカットし、切り出された半導体チップにワイヤーボンディングを行いパッケージングした。これを分解して調べたところ、low-kの絶縁膜に膜剥がれやクラックが観察された。特に、ワイヤーボンディングされた箇所を樹脂で封止する際の熱とストレスで膜剥がれが大きく広がり、一部のワイヤーボンディングされたパッドや上層の絶縁膜の配線などでオープン不良が発生していた。このようにダイシング用の溝がない構成では、絶縁膜などの積層厚が厚い場合に、水の浸入防止以前の問題が発生し得る。

【0061】

さらに、別の比較例として、上記比較例と同様に導電体25、26などによる壁のない構成で、絶縁膜12、18、23などが計11層の試料について、ダイシング部17に溝を形成してダイシングが容易化される構造にする試みを行った。具体的には図7に示すように、パターニングされたフォトレジスト27をマスクとして、フルオロカーボン（CF）系ガスを使用するドライエッチングによって絶縁膜12、18、23などに溝形成を行ない、この後フォトレジスト27を除去したうえで、図3（b）に示したような絶縁膜28、パッシベーション膜30を形成した。しかし、11層の絶縁膜の膜厚が10 μ m以上あり1枚のウエハを処理するのに30分かかり生産性と製造コストに問題があった。

【0062】

また、ウエットでエッチング処理してみたが、ダイシング部17から基板面横方向に10 μ m程度サイドエッチングが進み、除去されるべき範囲を大きく超えて絶縁膜がエッチングされてしまった。また、その際に各層の絶縁膜の界面付近のウエット耐性が悪く、界面にスリット状のエッチングが発生しているところが

観察された。水の浸入防止以前の問題である。

【0063】

次に、本発明の別の実施形態に係る半導体装置を図8を参照して説明する。図8は、本発明の別の実施形態に係る半導体装置（ウエハ状態）を模式的な断面で示す図である。図8において、すでに説明した部位と同一相当の部位には同一符号を付してその説明を省略する。

【0064】

この実施形態は、絶縁膜12、18、23にいわゆるガードリングを設けるようにしたものである。ガードリングは、半導体チップの周縁近傍の層間絶縁膜内部に設けられた導電体の枠であり、そのさらに内側の絶縁膜を水の浸入から保護する機能を有する。この実施形態においてガードリングとしてのビアリング32、33、34は、図3に示した実施形態の配線14、20、24や導電体15、21、25を形成する工程と同じ工程により形成できる。すなわち、ビアリング32、33、34は、それぞれ内部導電体32b、33b、34bと導電バリア層32a、33a、34aとからなっており、かつ図示の紙面に垂直の方向に延びて形成されることにより全体としてリング状になる。

【0065】

図9は、図8に示すように形成された半導体ウエハの上面を模式的に示す図である。図9において、すでに説明した部位と同一相当の部位には同一符号を付してある。この例では、半導体チップの四隅のみに導電体25（26）などを設けた場合に、さらにその内部に、ガードリングとしてのビアリング34（32、33）を設けるようにしている。このような構成によればビアリング34（32、33）によりその内部への水の浸入防止効果はさらに高くなる。なお、ガードリングは、複数の枠状に形成してさらにその効果を高めることもできる。

【0066】

次に、本発明のさらに別の実施形態に係る半導体装置の製造方法を図10ないし図12を参照して説明する。図10ないし図12は、本発明の別の実施形態に係る半導体装置の製造方法を模式的な断面で示すプロセス図である。これらの図は図番の順に続図になっており、さらに図10ないし図12の各図では（a）、

(b) の順に工程が進行する。また、これらの図において、すでに説明した部位と同一相当の部位には同一符号を付してその説明を省略する。

【0067】

まず、図10(a)に示す構造を形成する。図1(a)に示した構造との違いは、絶縁膜11の一部領域に耐腐蝕性導電体41、42を形成すること、およびダイシング部17を内包するように、内部導電体15Abと導電バリア層15Aaとからなる導電体15Aを形成することである。導電体15A、内部導電体15Ab、および導電バリア層15Aaは、図1(a)に示した構造において、これら符号中のAがないものと同様の材質からなる。以下図10(b)で使用される符号中「A」が含まれるものも、それぞれ図1(b)に示した構造において符号中にAがないものと同様の関係を有する。

【0068】

耐腐蝕性導電体41は、半導体基板10上に形成されたトランジスタなどの素子(図示せず)とのコンタクトのための導電体である。この導電体41の形成は、周知の方法を用いて行うことができる。すなわち、例えば、絶縁膜11にコンタクトホールを形成し、形成されたコンタクトホール内に例えばTiNからなる導電バリア層を例えばPVD法で形成し、さらにCVD(chemical vapor deposition)法によりWを成膜してコンタクトホール内を埋め込むことによる。

【0069】

耐腐蝕性導電体42は、その占める領域として導電体15Aのほぼ底面下に位置するように設定されるが、その形成方法は上記の導電体41と同様に同時に行うことができる。なお、耐腐蝕性導電体42の幅は、導電体15Aより大きくてもよい。

【0070】

次に、図10(b)に示す構造を形成する。図1(b)に示す構造との違いは、ダイシング部17を内包するように形成された導電体15Aに重なる位置に、内部導電体21Abと導電バリア層21Aaとからなる導電体21Aを形成することである。また、この導電体21Aに重なるように、内部導電体25Abと導電バリア層25Aaとからなる導電体25Aを形成することである。この実施形

態でも、low-kの絶縁膜を3層（絶縁膜12、18、23）形成する以外に、同様にしてさらに多層化することもできる。

【0071】

次に、図11（a）に示すようにダイシング部17に溝を加工・形成する。具体的には、まず、フォトリソグラフィー法によりダイシング部17上のみを開口するように、絶縁膜23上に形成されたフォトレジスト27をパターンニングする。そして、内部導電体25Ab、21Ab、15Ab（銅）を除去する例えばH₂O₂とHClの混合液ウエット液によるエッチングと、導電バリア層25Aa、21Aa、15Aaを除去するCl系のガスによるドライエッチングとを交互に行なう。これにより図示するように耐腐蝕性導電体42に達する溝が形成される。なお、ここで導電体25A、21A、15Aのエッチングに当たっては、耐腐蝕性導電体42との選択比の高い条件を用いることで、耐腐蝕性導電体42をエッチングストッパーとして利用することが可能である。

【0072】

次に示す図11（b）、図12（a）、図12（b）については、それぞれ、すでに説明した図2（b）、図3（a）、図3（b）とほぼ同様である。

【0073】

この実施形態でも、あらかじめダイシング部17に溝31を形成すること、およびチップとしての少なくとも四隅においてダイシング部17の両側に導電体25A等の壁を形成しておくことで、 $\kappa=3.8$ 以下の絶縁膜12、18、23において生じやすいダイシング時のクラックを防ぐことができる。特に、導電体25A等の壁により、パッシベーション膜30にクラックが入った場合でも、絶縁膜12、18、23より硬い導電体25A等の壁により多層の配線24、20、14に達するようなクラックの進行を防ぐことが可能となる。

【0074】

さらに、第2の絶縁膜としての絶縁膜28、パッシベーション膜30の直下から導電体15Aの直下にわたって耐腐蝕性導電体42が存在することが別の効果を発揮する。すなわち、チップとして切り離された状態では、その少なくとも四隅付近で絶縁膜28と基板10との間に露出して耐腐蝕性導電体42が存在する

。よって、これ自体耐腐蝕性を有することと、low-kの絶縁膜12、18、23の直下ではチップとしての少なくとも四隅付近で絶縁膜11の側面の露出が防止されるようになることから、信頼性をさらに向上させる。なお、半導体チップの四隅以外やlow-kの絶縁膜12、18、23の直下以外、例えば耐腐蝕性導電体42の下方で一部絶縁膜11の側面が露出する場合であっても耐腐蝕性導電体42が形成される分だけ耐腐蝕性が向上し信頼性改善になる。

【0075】

また、このようにして製造された半導体ウエハでも、図12(b)に示すように、ダイシング部17に溝31が形成され、溝31の内部にダイシングラインDLが存在することになる。よってダイシング工程が容易化される。ちなみに、low-kの絶縁膜12、18、23をさらに多層化して11層とし、図11(a)に示す導電体25A等のエッチングを行わず溝31を形成しなかったものを比較のため半導体ウエハとして製造したところ、ダイシング時にダイシングブレードに銅が付着し正常なダイシングが妨げられた。

【0076】

また、図10ないし図12に示す実施形態では、チップとして切り離された状態において、第1の絶縁膜であるlow-kの絶縁膜12、18、23が少なくとも半導体チップの四隅付近で導電体15A、21A、25A、さらに第2の絶縁膜である絶縁膜28やパッシベーション膜30によって覆われるので、低比誘電率である絶縁膜12、18、23が保護され信頼性の向上もなされる。

【0077】

実際にlow-kの絶縁膜を11層としたものを半導体ウエハとして製造しこれをダイシングし、切り出された半導体チップにワイヤーボンディングを行いパッケージングした。これを分解して調べたところ、図4に示すような四隅のみに導電体などが存在する場合でもlow-kの絶縁膜に膜剥がれやクラックなどのダメージは見られなかった。また、low-kの絶縁膜の下に位置する比誘電率が3.8超の絶縁膜にも膜剥がれやクラックなどのダメージは特に見られなかった。

【0078】

なお、この実施形態においても図4に示したように導電体25Aなどを四隅付

近のみに設けるほかに、図5に示したようにこれをリング状に形成する場合があり得る。いずれの場合にも、耐腐蝕性導電体42についてはリング状に配置するように形成することができる。さらに図9に示したように別途ビアリング34等を設け水の浸入防止効果を向上するようにしてもよい。

【0079】

また、内部導電体15Ab、21Ab、25AbはCuのほかAlやSnなどとしてもよい。なお、内部導電体15Ab、21Ab、25Abに対し、耐腐蝕性導電体42と同様それ自体耐腐蝕性を有するタングステンを用いた場合は、銅に比較してドライでもウエットでもエッチングしにくいいため、生産性の点では不利になる。

【0080】

次に、本発明のさらに別の実施形態に係る半導体装置を図13を参照して説明する。図13は、本発明のさらに別の実施形態に係る半導体装置（ウエハ状態）を模式的な断面で示す図である。図13において、すでに説明した部位と同一相当の部位には同一符号を付してその説明を省略する。

【0081】

この実施形態は、図1ないし図3を用いて説明した実施形態に対して、図10ないし図13に示した実施形態における耐腐蝕性導電体41、42を追加して構成したものである。したがってその効果は重疊的になる。しかも、ダイシング部17の絶縁膜23、18、12をウエット液でエッチング除去する際に、耐腐蝕性導電体42をエッチングストッパーとして利用することもできる。この場合においても、さらに図9に示したように別途ビアリング34等を設け水の浸入防止効果を向上するようにしてもよい。

【0082】

【発明の効果】

以上詳述したように、本発明によれば、導電バリア層または耐腐蝕性導電体により耐腐蝕性が発揮され、絶縁膜への水の浸入を有効に防止し信頼性向上に好適な半導体装置およびその製造方法が提供される。

【図面の簡単な説明】

【図 1】

本発明の一実施形態に係る半導体装置の製造方法を模式的な断面で示すプロセス図。

【図 2】

図 1 の続図であって、本発明の一実施形態に係る半導体装置の製造方法を模式的な断面で示すプロセス図。

【図 3】

図 2 の続図であって、本発明の一実施形態に係る半導体装置の製造方法を模式的な断面で示すプロセス図。

【図 4】

図 1 ないし図 3 に示したプロセスにより形成された半導体ウエハの模式的な上面図（一例）。

【図 5】

図 1 ないし図 3 に示したプロセスにより形成された半導体ウエハの模式的な上面図（別の例）。

【図 6】

図 1 ないし図 3 に示したプロセスにより形成された半導体装置に対する一比較例を示す模式的な断面図。

【図 7】

図 1 ないし図 3 に示したプロセスにより形成された半導体装置に対する別の比較例を示す模式的な断面図。

【図 8】

本発明の別の実施形態に係る半導体装置（ウエハ状態）を模式的な断面で示す図。

【図 9】

図 8 に示した半導体装置の模式的な上面図。

【図 10】

本発明のさらに別の実施形態に係る半導体装置の製造方法を模式的な断面で示すプロセス図。

【図 1 1】

図 1 0 の続図であって、本発明の別の実施形態に係る半導体装置の製造方法を模式的な断面で示すプロセス図。

【図 1 2】

図 1 1 の続図であって、本発明の別の実施形態に係る半導体装置の製造方法を模式的な断面で示すプロセス図。

【図 1 3】

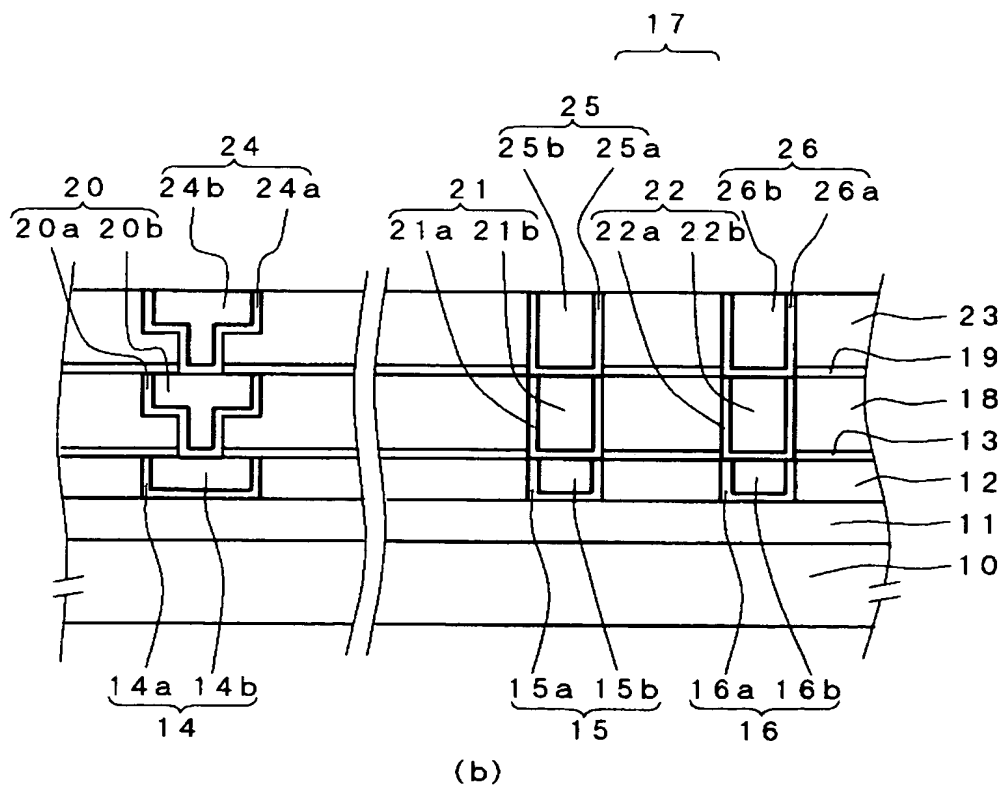
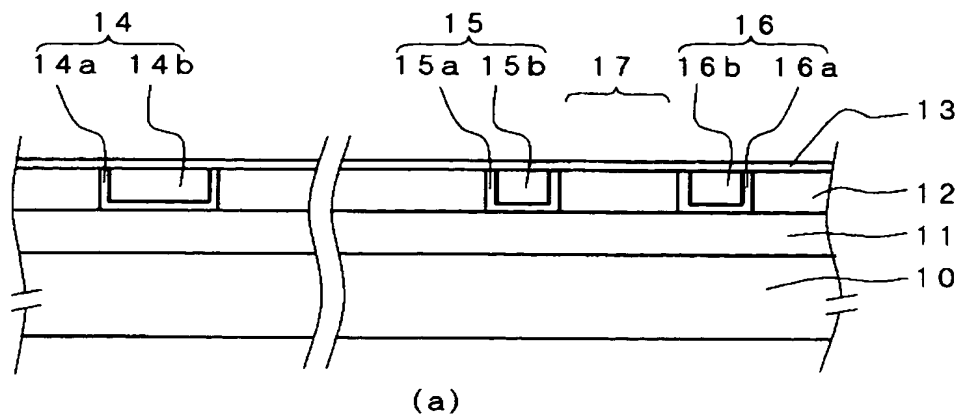
本発明のさらに別の実施形態に係る半導体装置（ウエハ状態）を模式的な断面で示す図。

【符号の説明】

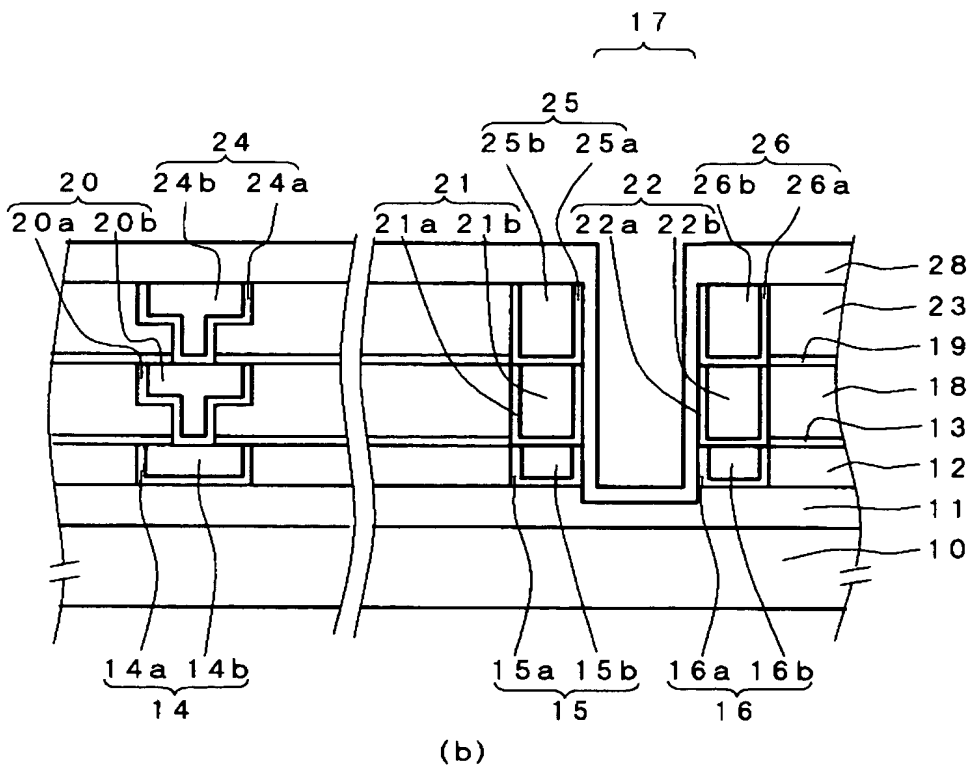
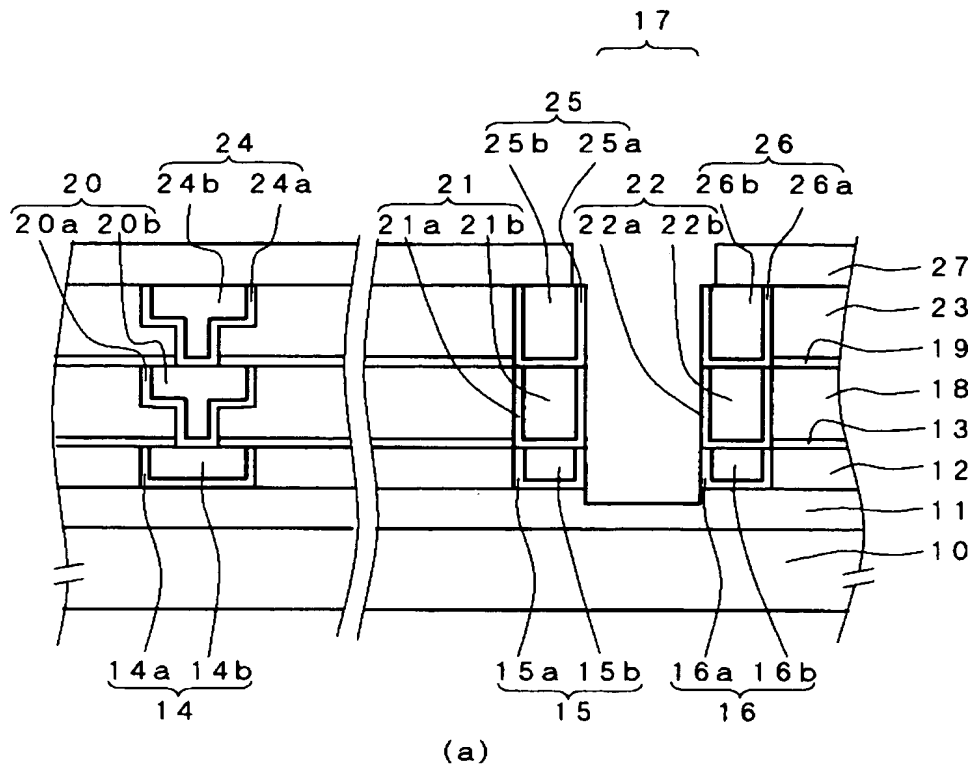
10…半導体基板 11…絶縁膜（比誘電率 3.8 超） 12、18、23…絶縁膜（low-k） 13、19…トップバリア膜 14、20、24…配線 15、16、21、22、25、26、15A、21A、25A…導電体 15a、16a、21a、22a、25a、26a、15Aa、21Aa、25Aa…導電バリア層 15b、16b、21b、22b、25b、26b、15Ab、21Ab、25Ab…内部導電体 17…ダイシング部 27…フォトレジスト 28…絶縁膜（比誘電率 3.8 超） 29…パッド 30…パッシベーション膜 31…溝 32、33、34…ビアリング 32a、33a、34a…導電バリア層 32b、33b、34b…内部導電体 41、42…耐腐蝕性導電体 DL…ダイシングライン

【書類名】 図面

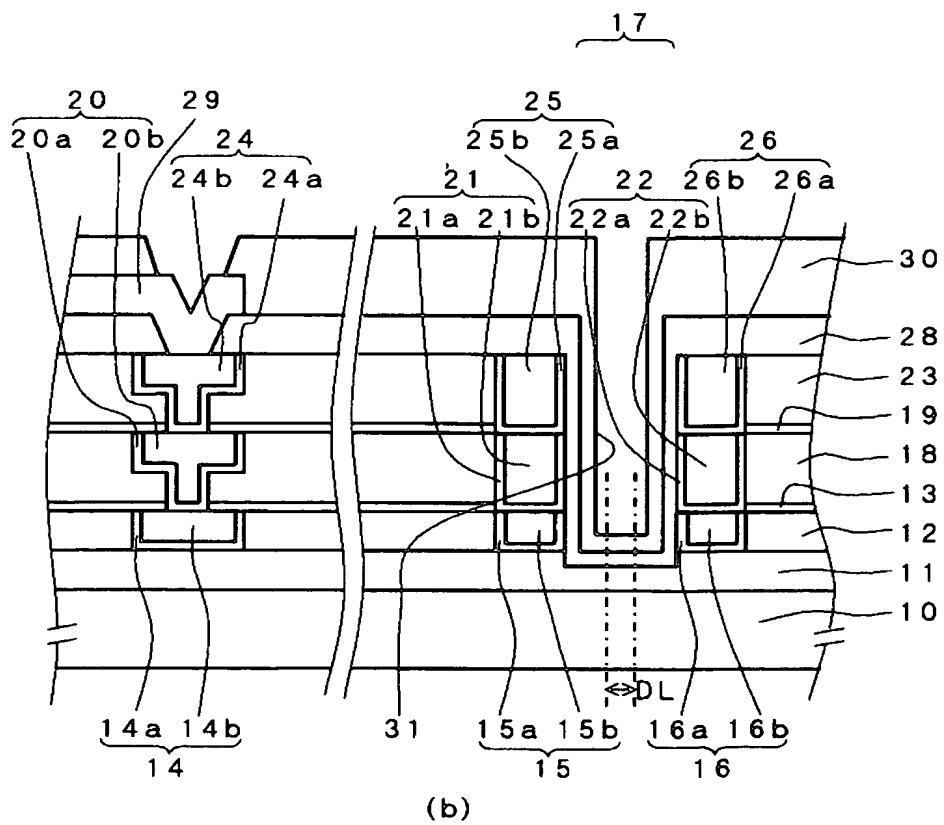
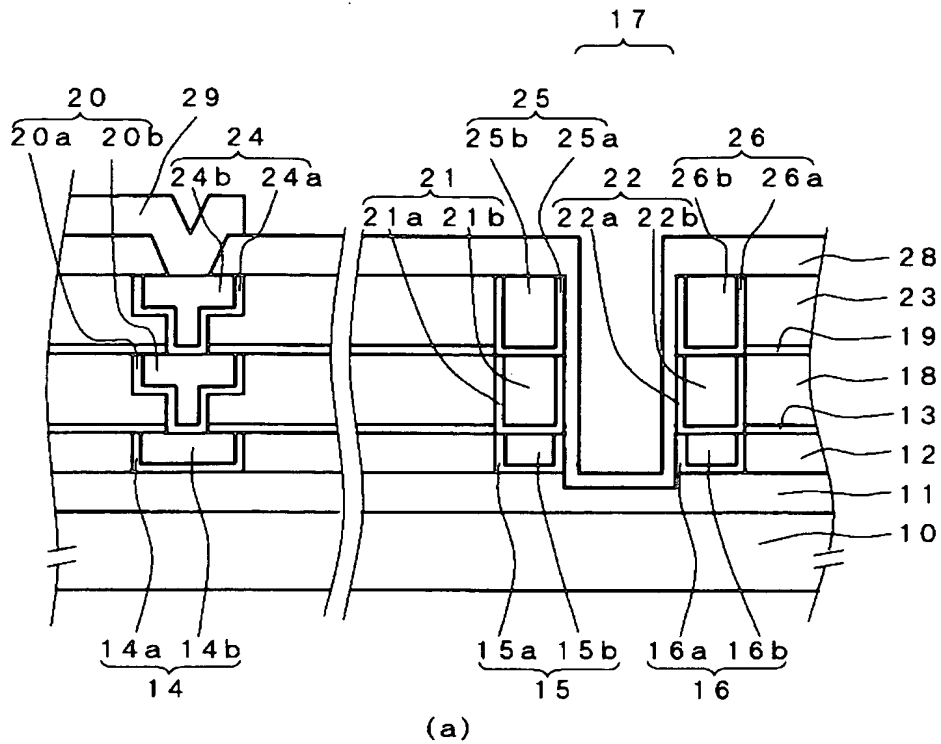
【図 1】



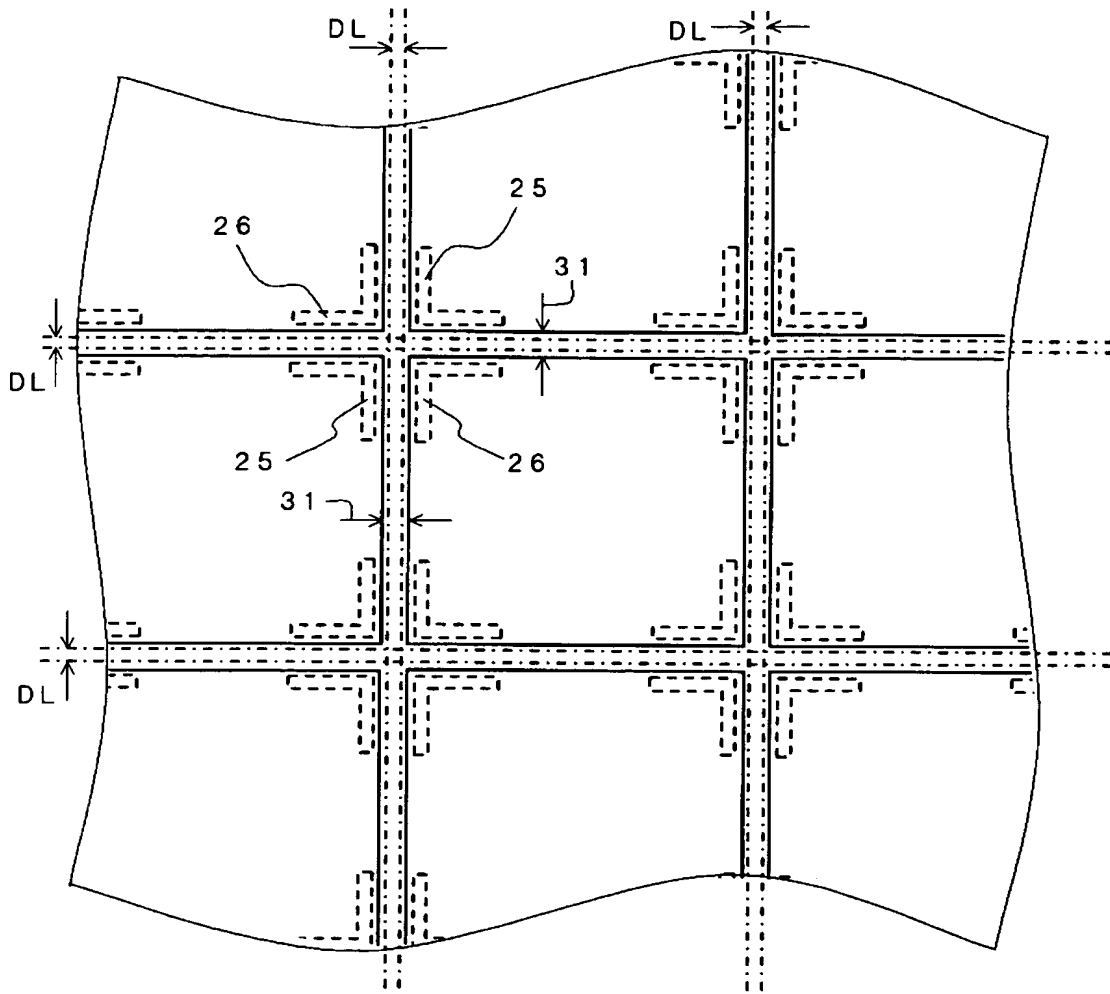
【図 2】



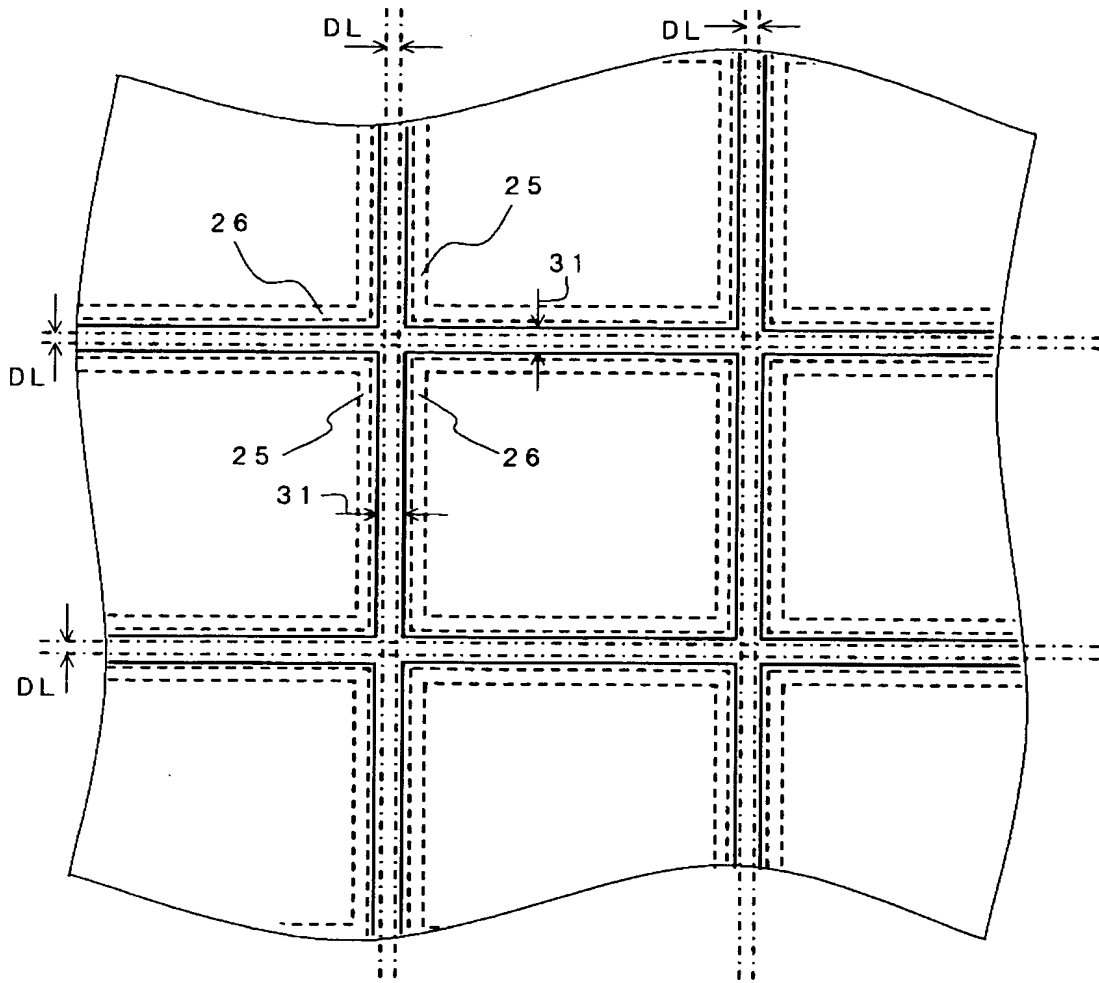
【図 3】



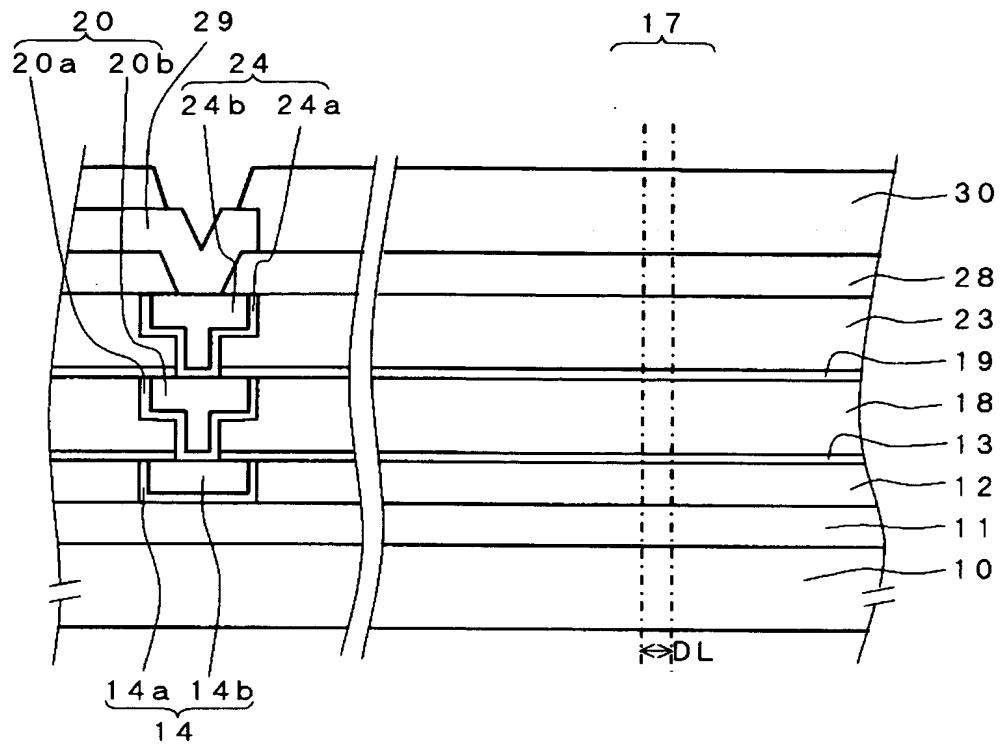
【図 4】



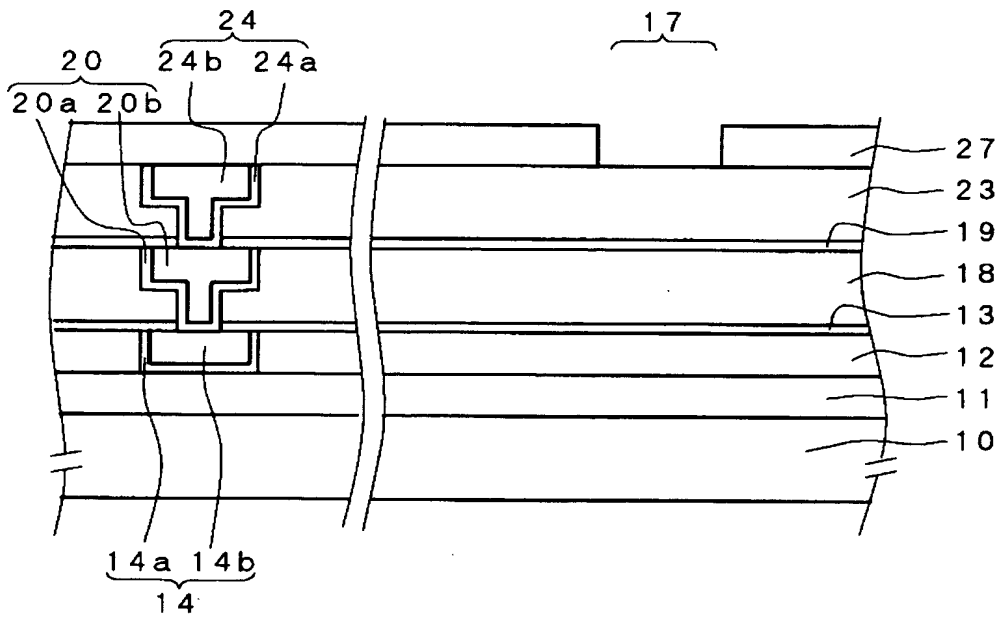
【図 5】



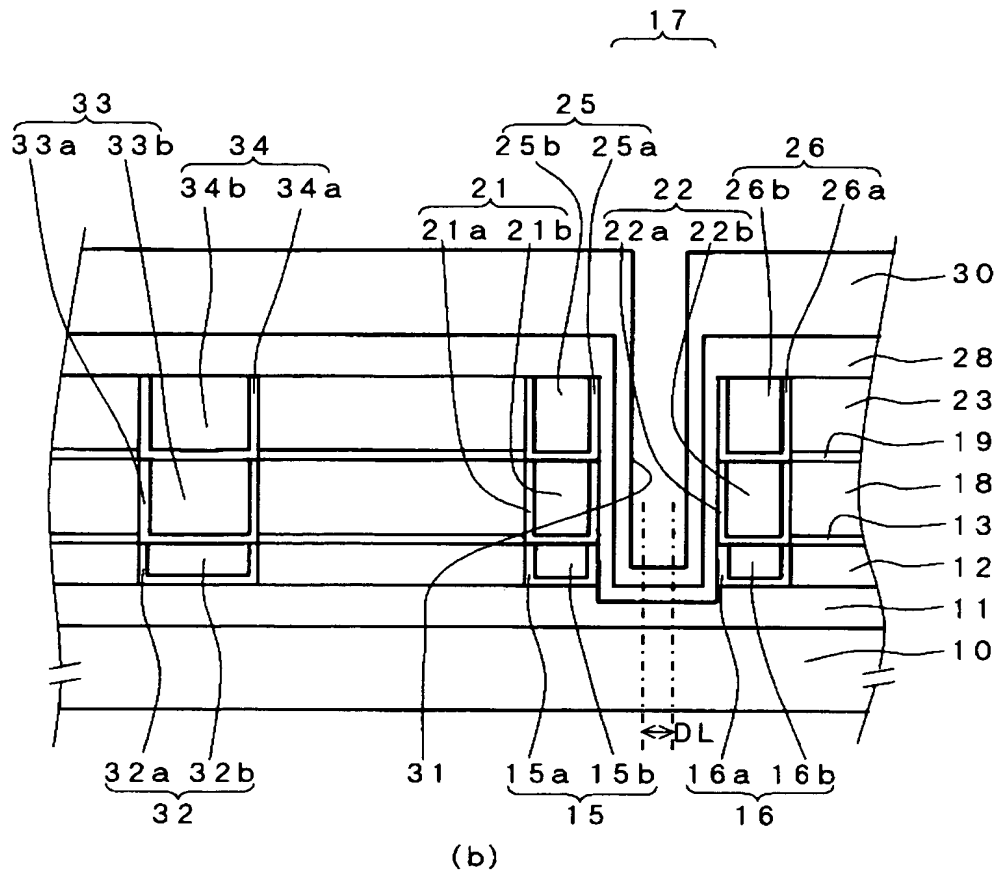
【図 6】



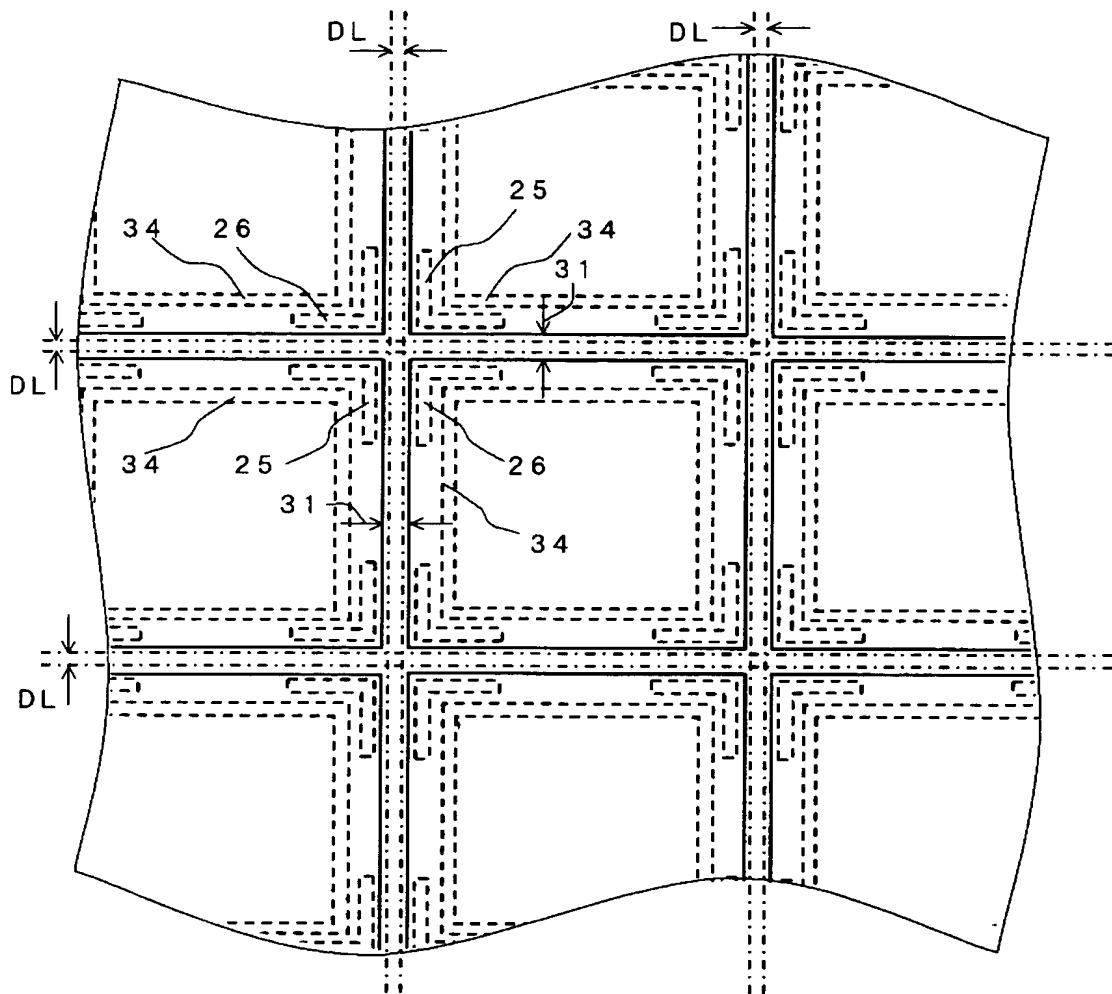
【図 7】



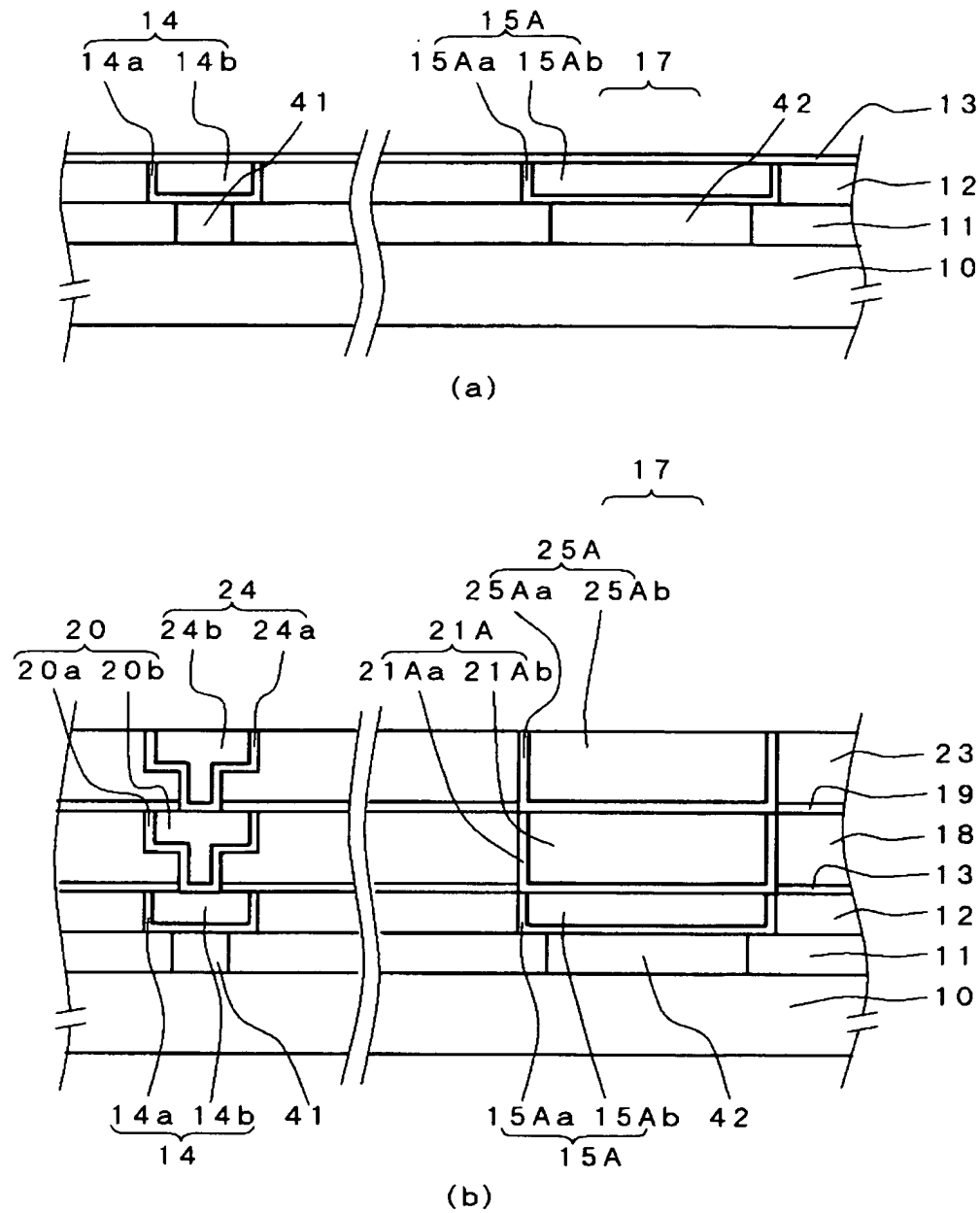
【図 8】



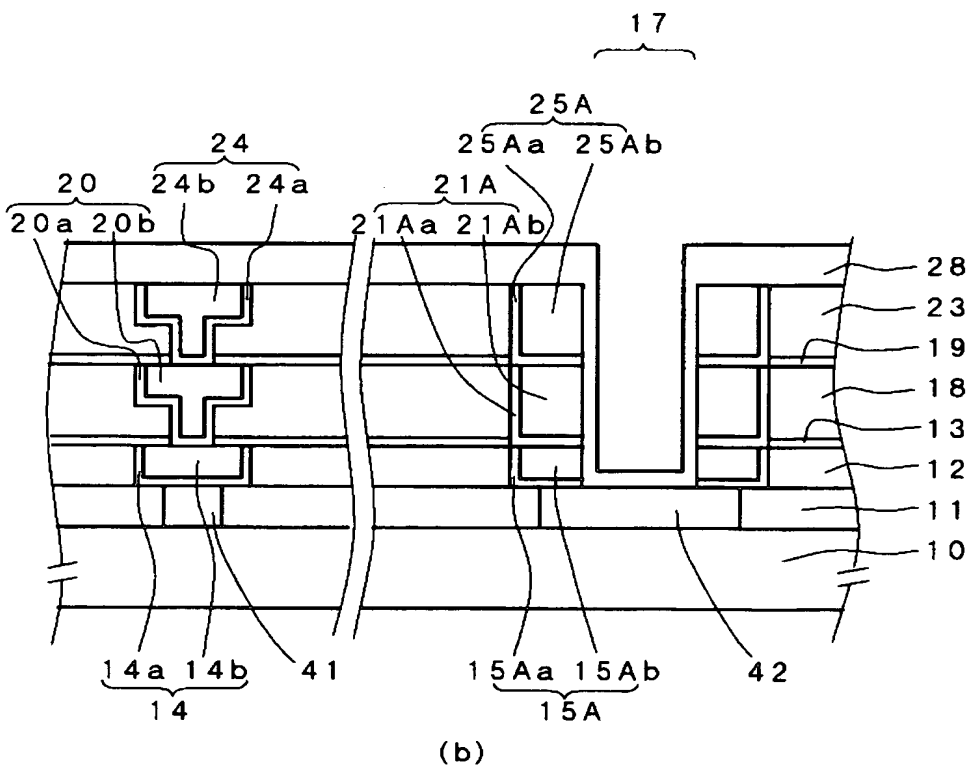
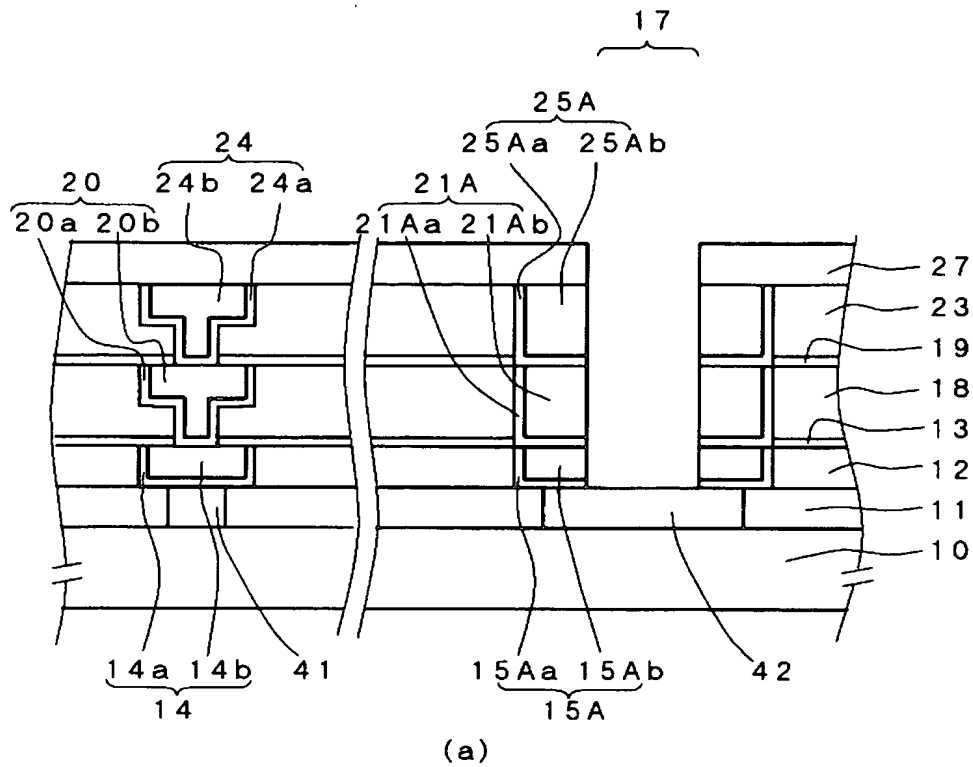
【図 9】



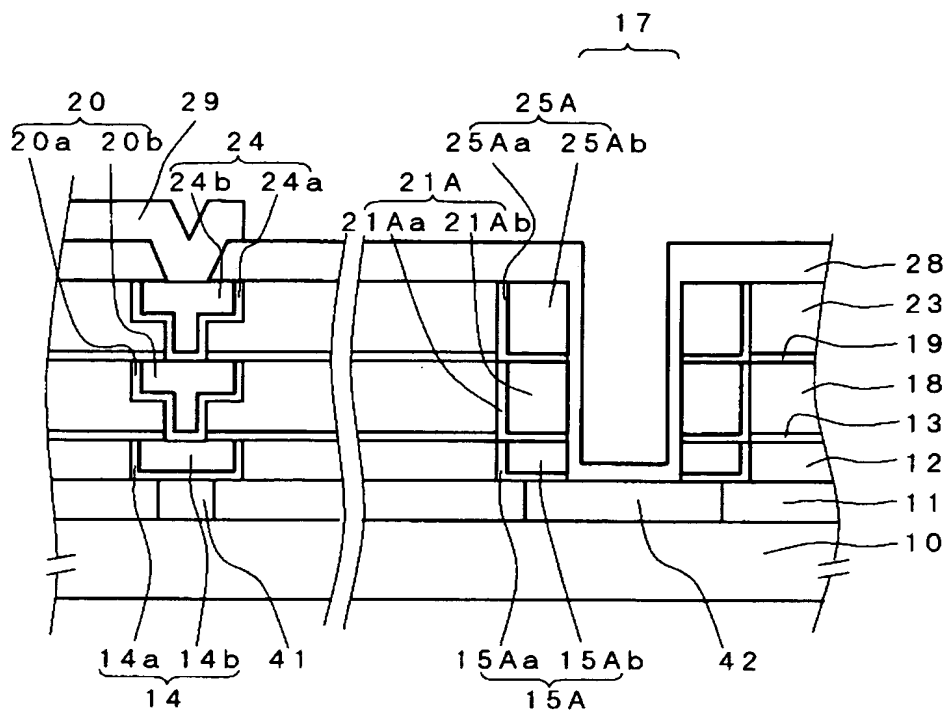
【図10】



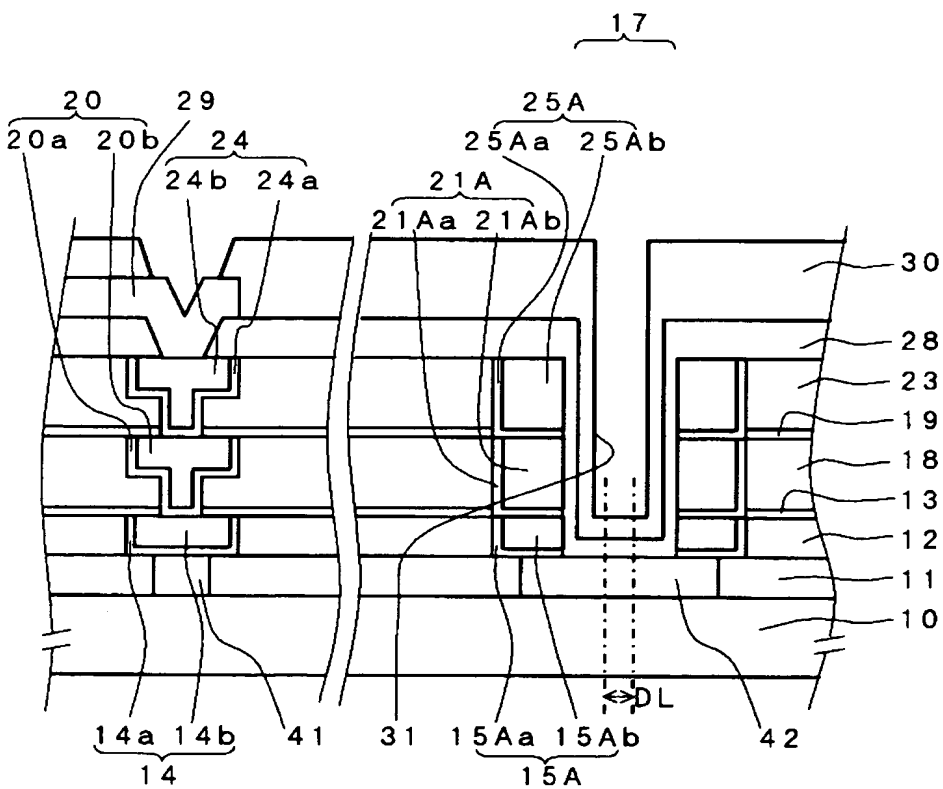
【図 11】



【図 12】

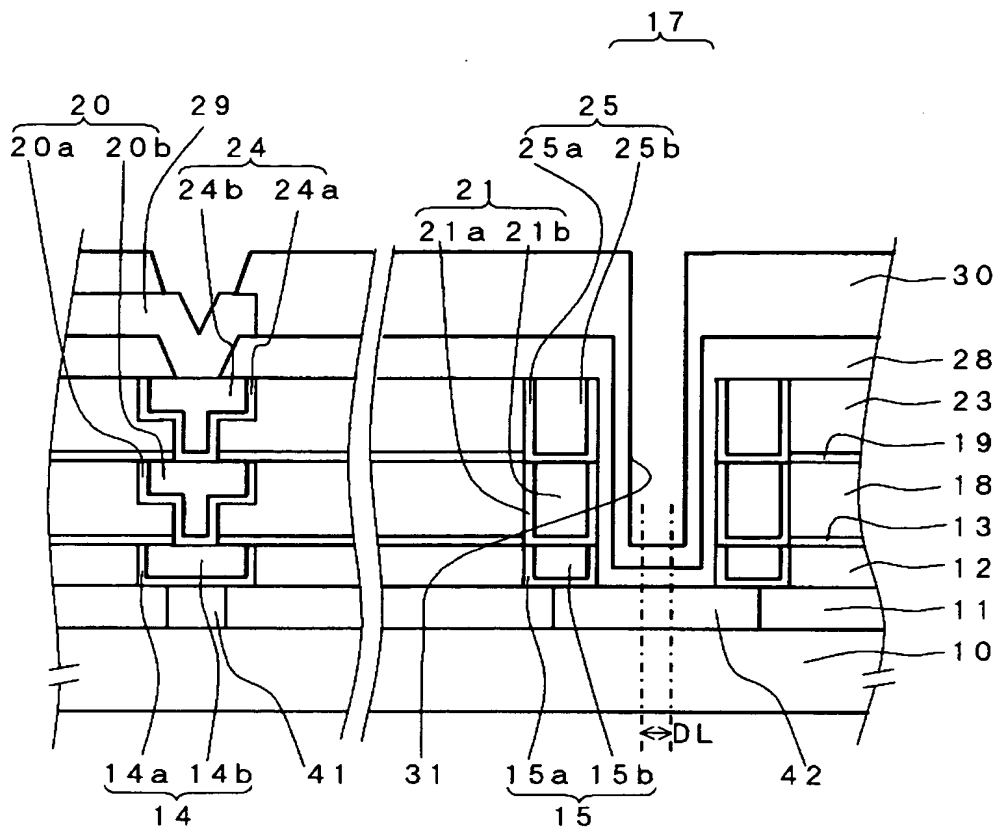


(a)



(b)

【図 13】



【書類名】 要約書

【要約】

【課題】 絶縁膜として低比誘電率膜を有する半導体装置において、絶縁膜への水の浸入を有効に防止し信頼性向上に好適な半導体装置およびその製造方法を提供すること。

【解決手段】 半導体基板と、半導体基板上に形成され、比誘電率が3.8以下である第1の絶縁膜と、半導体基板の少なくとも四隅付近で第1の絶縁膜の側面を覆い、その少なくとも外側の側面に導電バリア層を有して形成された導電体と、導電体の外側の側面を覆い、比誘電率が3.8超である第2の絶縁膜とを具備する。

【選択図】 図3

特願 2 0 0 3 - 0 8 8 9 0 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1 . 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝